

情報通信の多様化を支える集積化システムの要件

- ・小型(可搬)
- ・低消費電力
- ・新規デバイス導入による効率的回路構成

本研究の内容:
Si集積回路に集積可能な量子効果デバイス基盤技術の構築

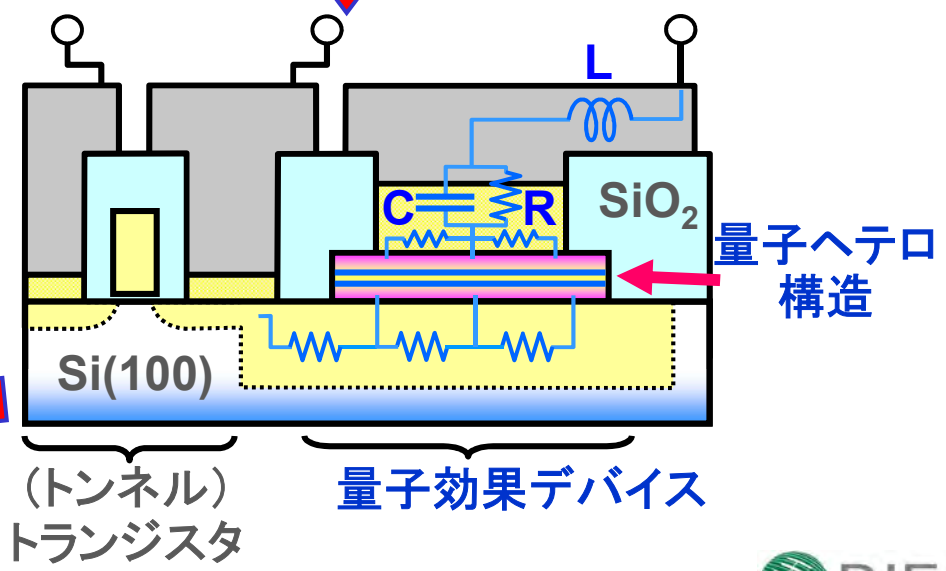
EU R&D Project: DOTSEVEN (DOTFIVE)
SiGeヘテロバイポーラトランジスタの究極的高性能化を目指す研究開発
動作限界目標 0.7THz (0.5THz)

↓
Si LSI (BiCMOS) 上への搭載

↓

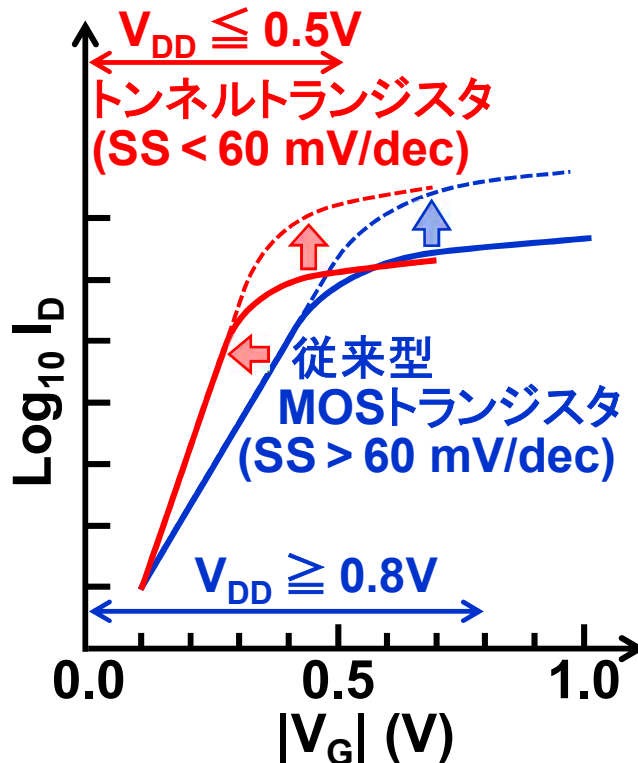
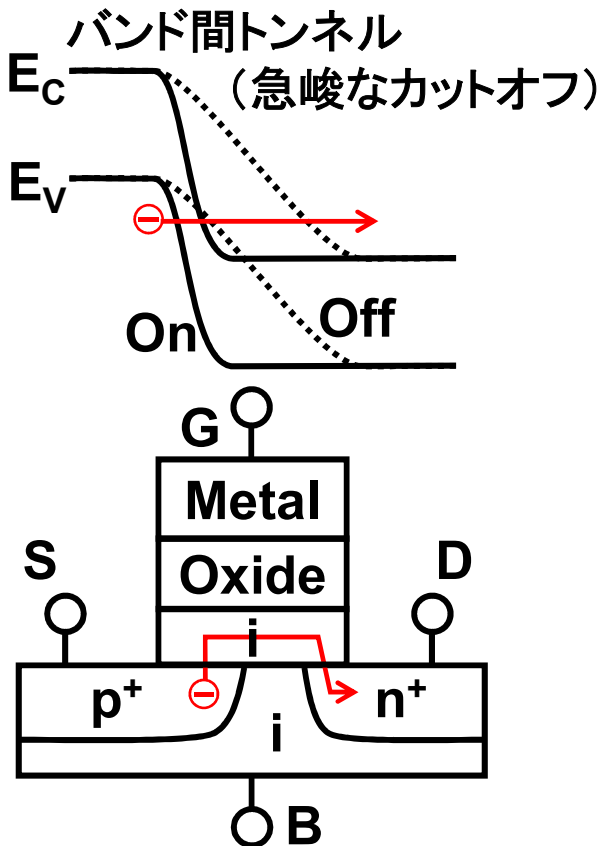
応用例(目標):

- ・超高速情報通信・情報処理 (アンプ、アナログ/デジタル変換)
- ・レーダーシステム
- ・ヘルスケア、医療応用



トンネルトランジスタ

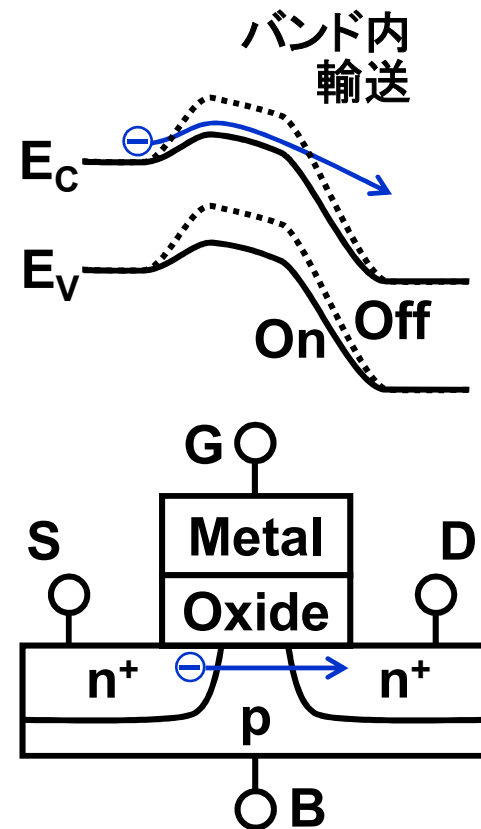
サブスレショルドスイング(SS)下限の突破



動的電力消費 = $C V_{DD}^2$

動作速度 = $I_D / (C V_{DD})$

従来型 MOSTランジスタ



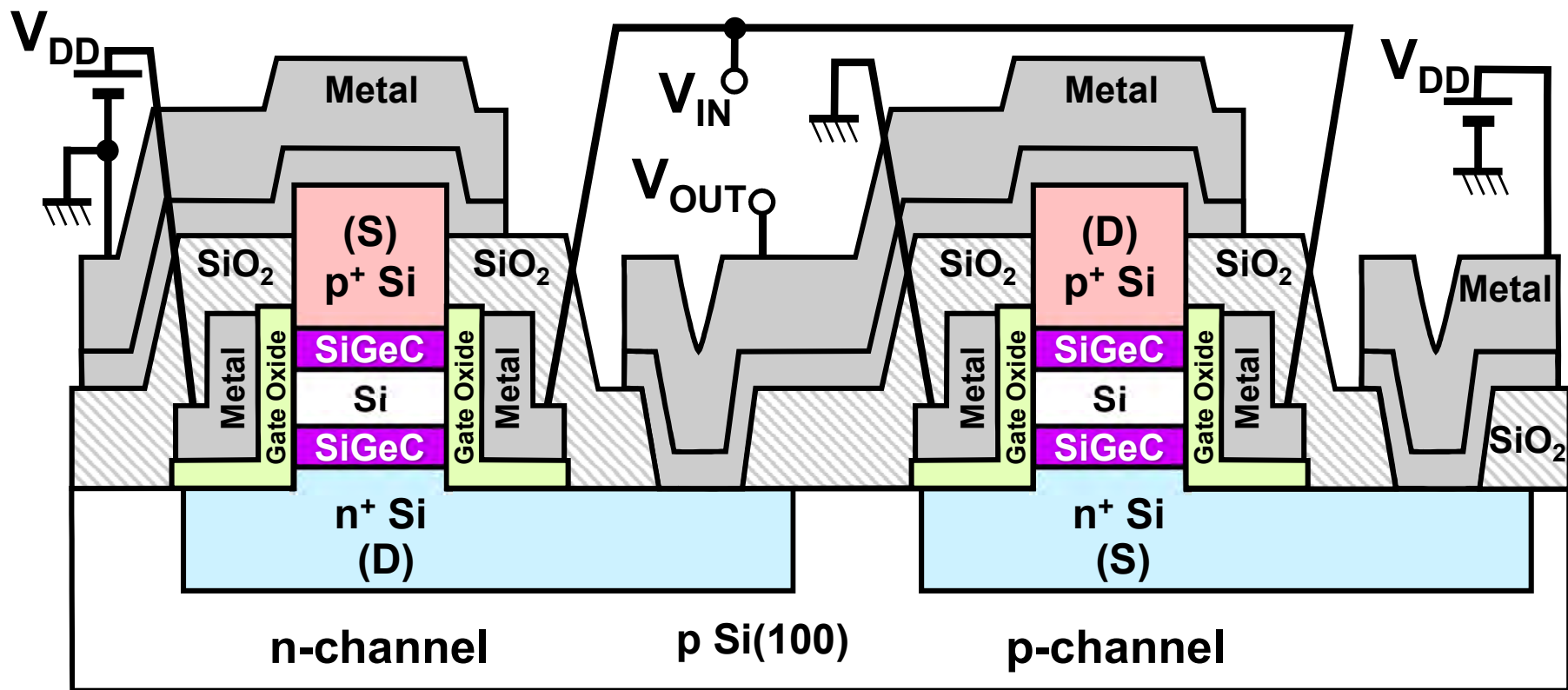
Morita et al., IEDM Tech. Dig. (2014) 243
 Morita et al., JJAP 55 (2016) 04EB06

電流駆動力向上のための研究課題

- 高濃度ドーピング／拡散制御
- 高性能ゲートスタック形成
- ヘテロエピタキシャル成長による実効バンドギャップ縮小
- Si／歪Si-Ge系混晶, Ge／歪Si, Ge／Ge-Sn系混晶, ...

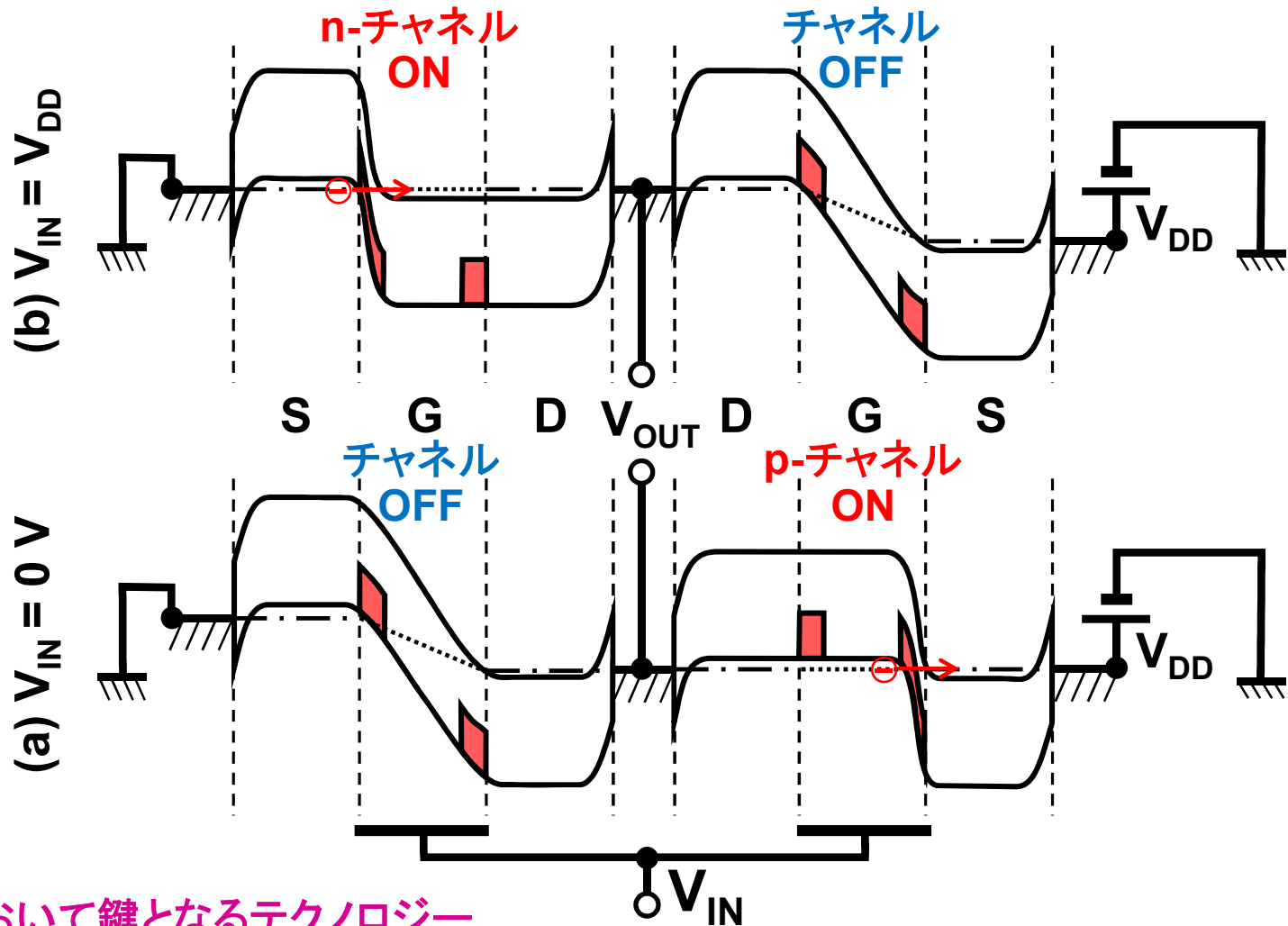
本研究で目指す構造

- ダブルサイドウォールゲート縦型トンネルトランジスタ
- 実効バンドギャップ縮小のための急峻な界面を有する**Si-C系**／**Si-Ge-C系歪混晶ヘテロ構造**のエピタキシャル成長



バックゲートバイアスによるしきい値制御 + チャネルフィン幅縮小(～10 nm)
 → n-/p-チャネルの全体積蓄積による電流駆動力向上

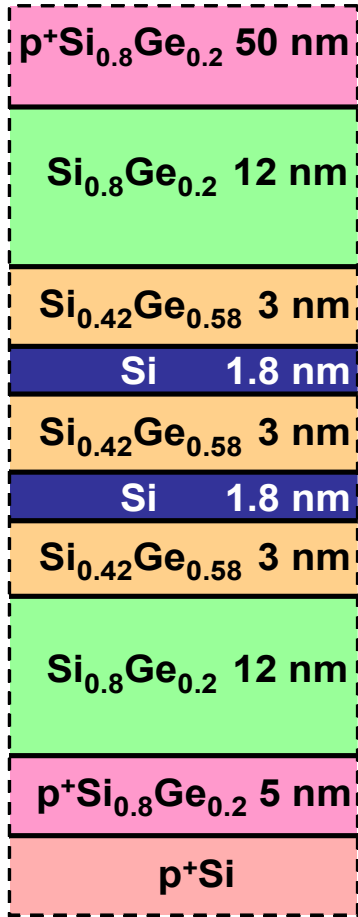
- ダブルゲートしきい値制御による同一構造での相補スイッチングの実現
- **Si-C系/Si-Ge-C系歪混晶の導入**による局所的な実効バンドギャップ縮小



本研究において鍵となるテクノロジー

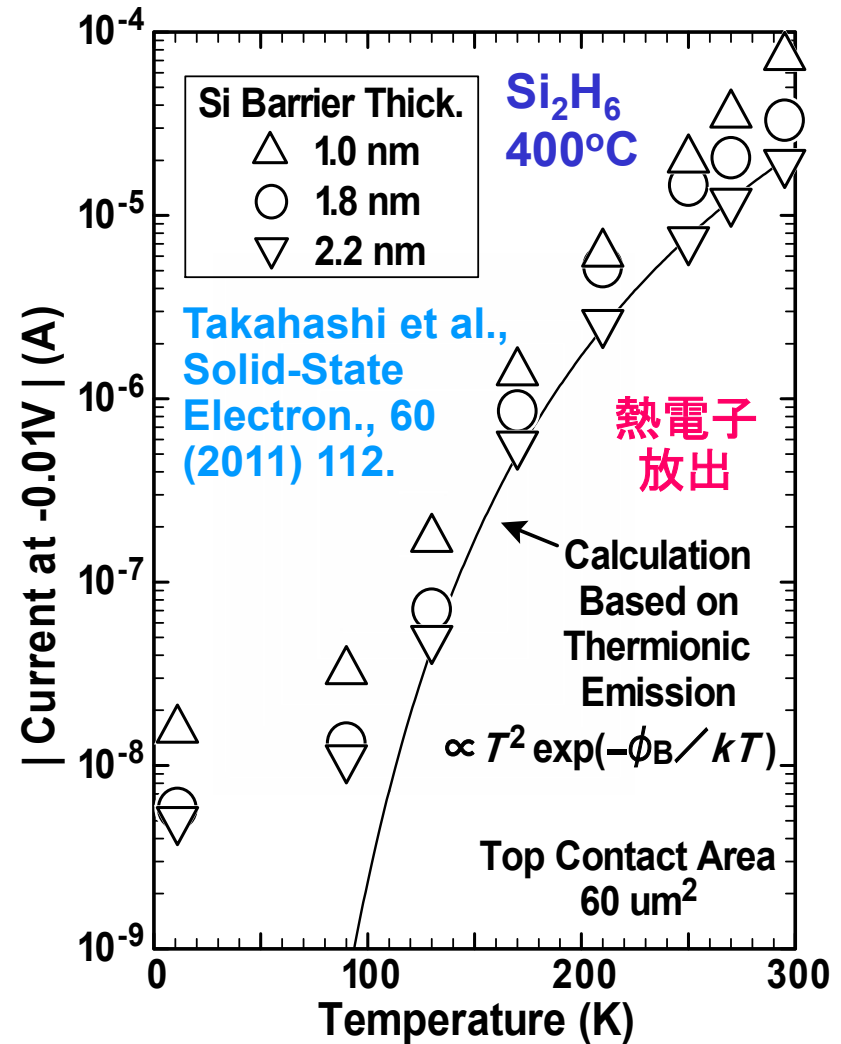
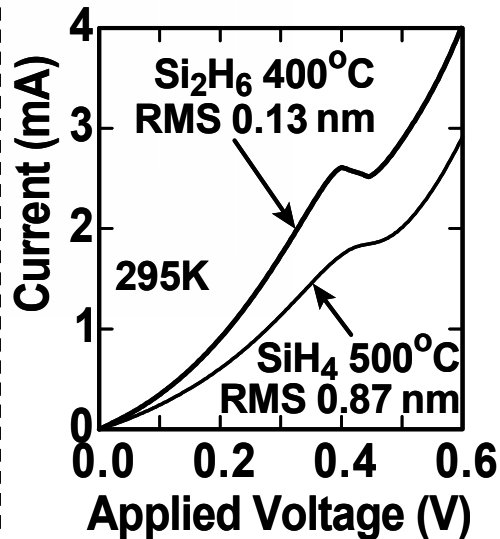
低温エピタキシャル成長と高濃度ドーピング制御(拡散抑制による界面急峻化)

IV族半導体高度歪量子ヘテロ構造の高集積化プロセス(1)



Si障壁成長条件
 SiH_4 500°C
 \rightarrow Si_2H_6 400°C

界面ラフネス抑制
 RMS 0.87 nm
 \rightarrow 0.13 nm



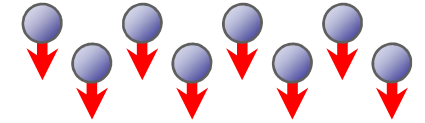
高性能SiGe系共鳴トンネル素子では、
 ナノメートルオーダー厚のヘテロ構造が必須であり、
 原子オーダーでのヘテロ界面平坦性制御が不可欠（+高障壁ナノ薄膜導入）

IV族半導体高度歪量子ヘテロ構造の高集積化プロセス(2)

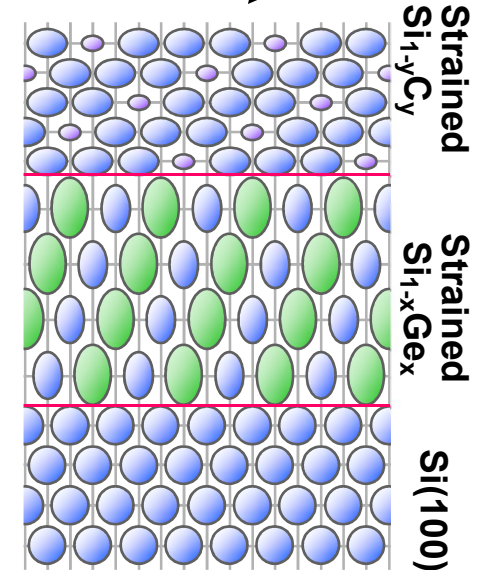
- 基板非加熱下での低損傷・低エネルギープラズマによる高纯净原料ガスの表面反応制御
- 原料ガス活性化(改質)による吸着・反応制御
- 非平衡高度歪ナノ薄膜のエピタキシャル成長

エピタキシャル成長可能な
プラズマ条件範囲を
さらに拡大させる

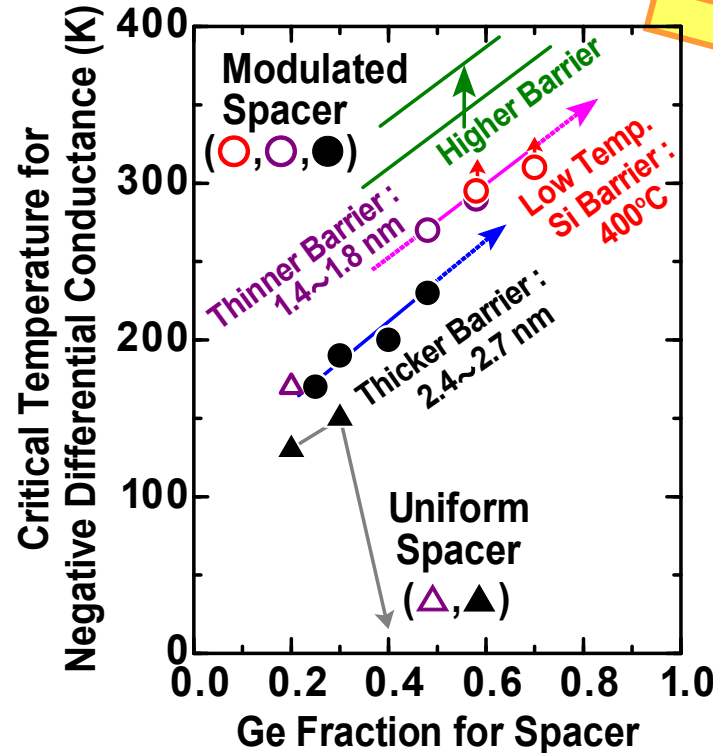
低エネルギーArプラズマ



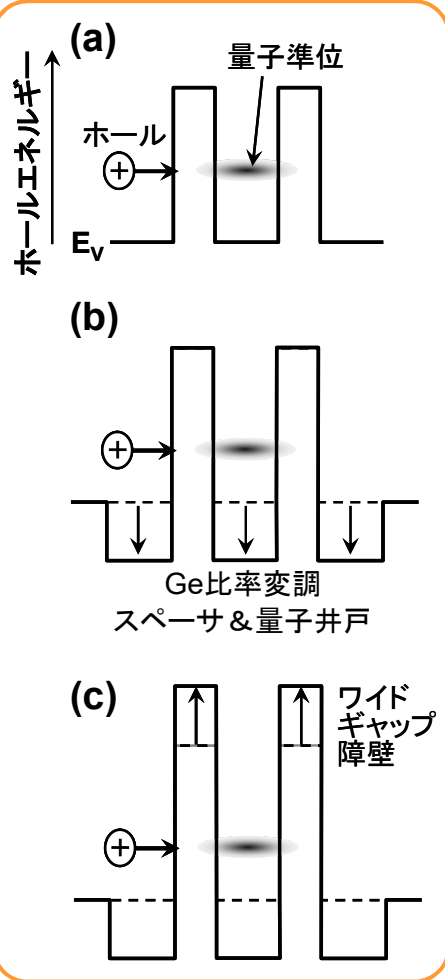
SiH₄,
GeH₄,
CH₄,...



- 立体構造の上面あるいは側壁面への選択的薄膜形成 (堆積・エッチング制御)
- 非平衡超高濃度不純物ドーピングナノ薄膜のエピタキシャル成長

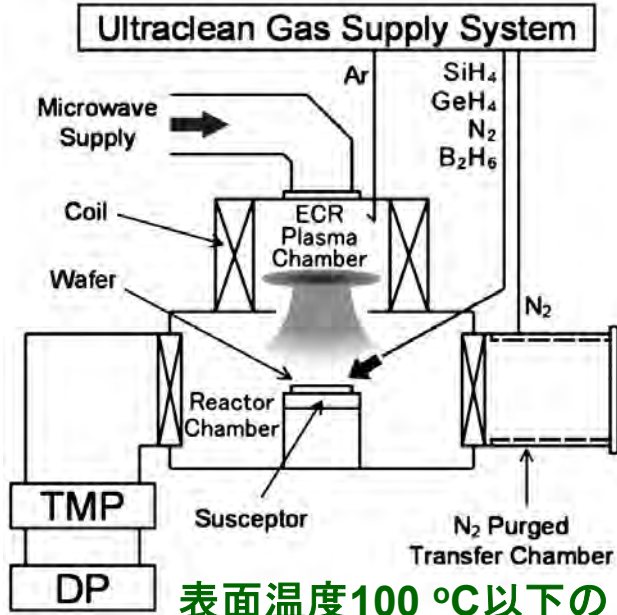


• 高度歪ナノ薄膜の適用による室温共鳴トンネル特性の高性能化と量子効果ナノデバイス高集積化プロセスの基礎を築く。



IV族半導体ヘテロ構造の低温形成のためのプラズマCVDプロセスの構築

基板非加熱でエピタキシャル成長が可能な低イオンエネルギープラズマプロセス (<10eV)

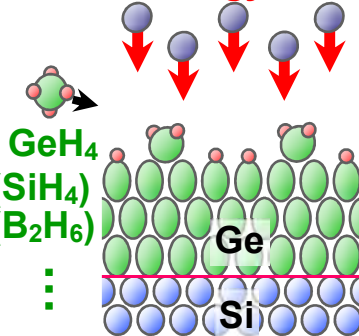


表面温度100°C以下の低温成膜が可能

徹底的な低温化の追求 (→100°C以下)

均一な表面反応 島状成長の抑制
(結晶へのプラズマダメージ抑制)

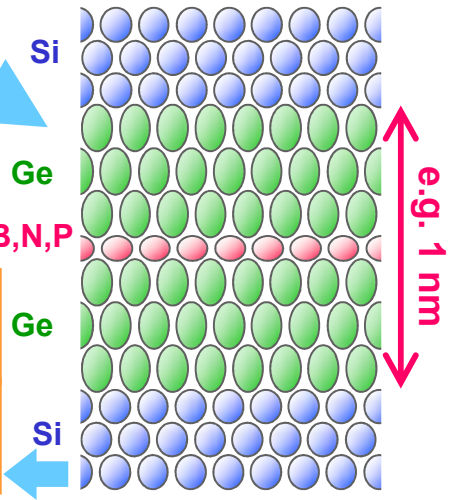
Low-Energy Ar Plasma



室温量子効果の促進

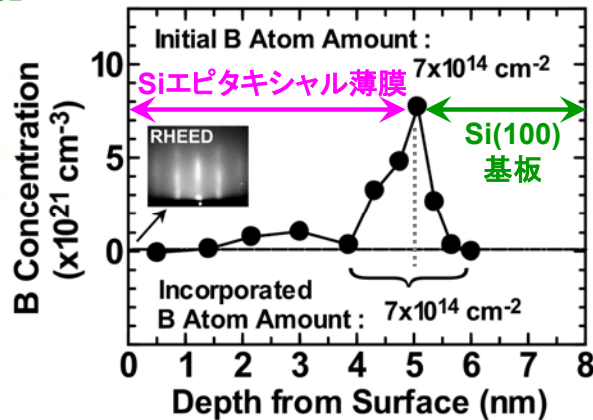
量子構造による新物性の探索

ナノメートルオーダー高度歪ヘテロ構造 + 変調ドーピング (歪、キャリア、イオンの局在化)

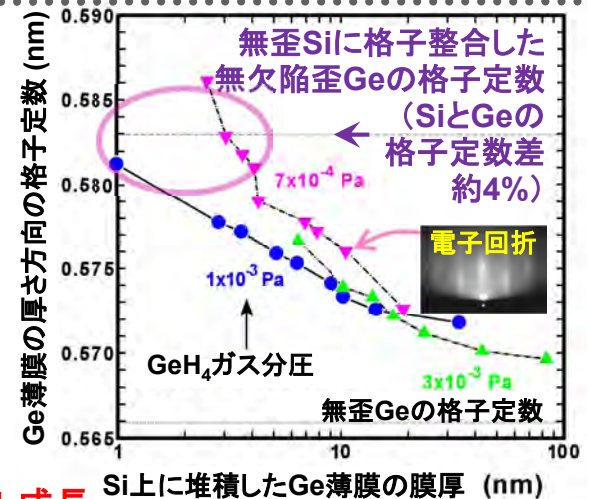


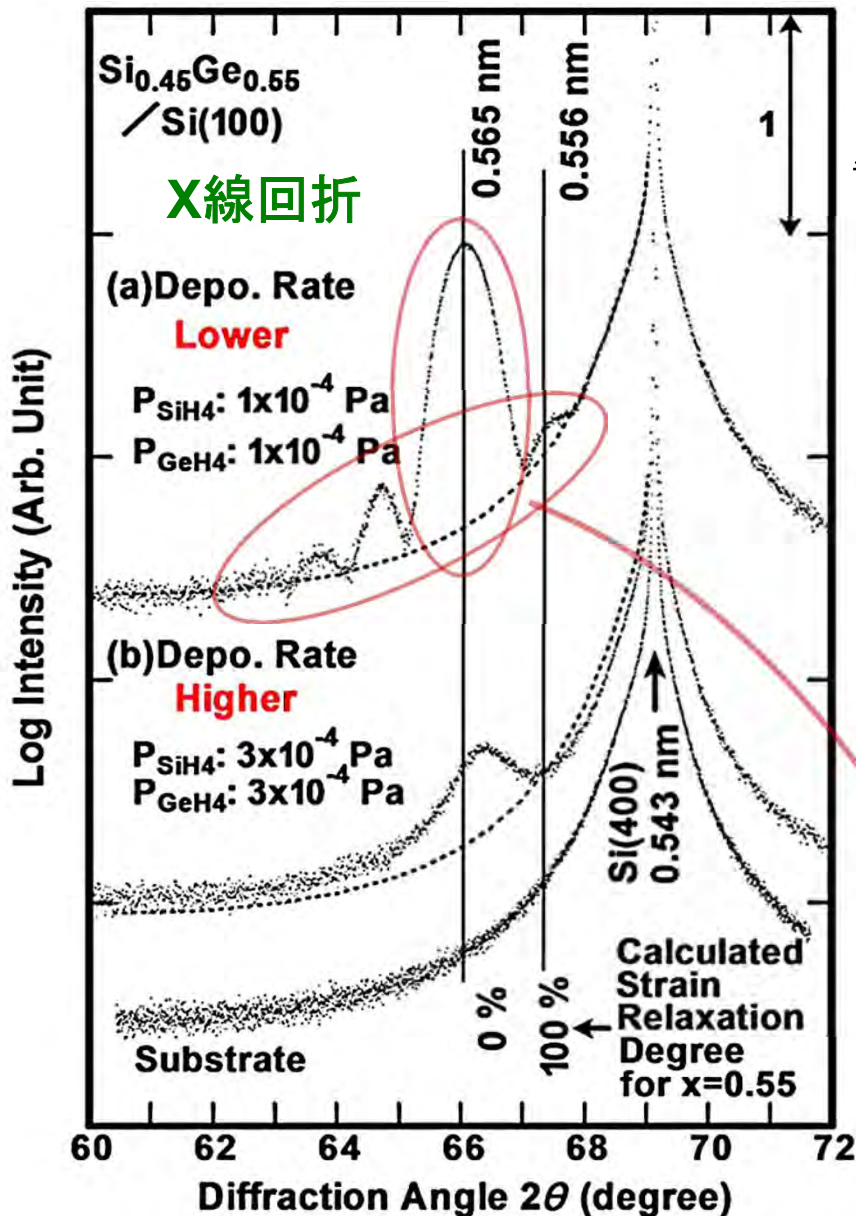
SiGe系エピタキシャル成長用 ECRプラズマCVD装置

1 nm厚さ領域へのB原子層ドーピング



高度歪Geエピタキシャル成長





Thin Solid Films, 557 (2014) 31
 ECS Trans., 64 (6) (2014) 99

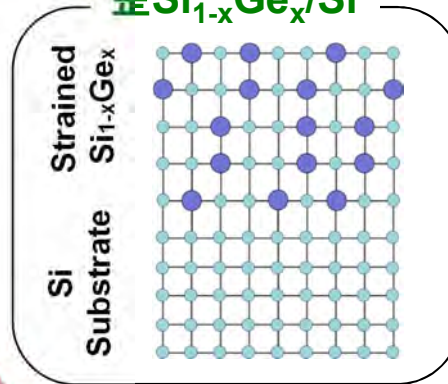
厚さ方向の格子定数 (Ge比率55%)

$$0.556 - (2 C_{12} / C_{11}) (0.543 - 0.556) ; [\text{nm}]$$

弾性定数 (Vegard's lawより)

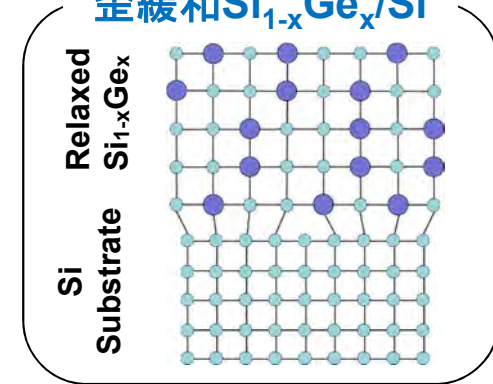
$$C_{11} = 1.469, C_{12} = 0.559$$

歪Si_{1-x}Ge_x/Si



0.565 nm

歪緩和Si_{1-x}Ge_x/Si



0.556 nm

明瞭な回折ピークとフリンジパターン

12nm厚さのSiGe (Ge比率55%) の格子定数は Si(100)結晶基板とほぼ格子整合 (SiGeの歪が解放することなくエピタキシャル成長が実現)